

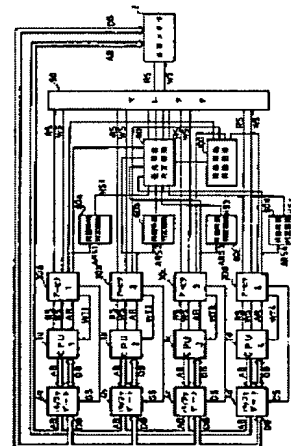
**MEMORY ACCESS SYSTEM FOR MULTIPROCESSOR SYSTEM**

**Patent number:** JP63245551  
**Publication date:** 1988-10-12  
**Inventor:** IKEMORI KIMIO  
**Applicant:** TOKYO SHIBAURA ELECTRIC CO  
**Classification:**  
- **International:** G06F13/18; G06F13/16; (IPC1-7): G06F13/18; G06F15/16  
- **European:** G06F13/18  
**Application number:** JP19870078589 19870331  
**Priority number(s):** JP19870078589 19870331

[Report a data error here](#)**Abstract of JP63245551**

**PURPOSE:** To uniformize the holding times of all processors to reduce the unbalance of execution efficiency among processors by changing the priority level to a higher level by a priority level changing means at the time of deciding that the holding time of a CPU exceeds a reference value.

**CONSTITUTION:** Holding time deciding circuits 60b and 60c measure the holding times of CPUs 1b and 1c while a CPU 1a accesses a shared memory 2; and if the accumulated holding time of the CPU 1c exceeds a reference value, a holding time excess signal HS 3 is generated from the circuit 60c and the priority level of an access request signal ARS 3 is changed to the highest level by a priority level determining circuit 80. Access request signals ARS 3 and ARS 2 whose priority levels are changed are latched in latch circuits at the time of terminating the access of the CPU 1a, and a read signal RS or a write signal WS of the CPU 1c is inputted to the memory 2 through an access signal generating circuit and the memory is accessed by the holding release signal from a holding release control circuit 100.



---

Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A)

昭63-245551

⑬ Int.Cl.<sup>4</sup>G 06 F 15/16  
13/18

識別記号

3 5 0  
3 1 0

庁内整理番号

T-6745-5B  
J-8840-5B

⑭ 公開 昭和63年(1988)10月12日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 マルチプロセッサシステムのメモリアクセス方式

⑯ 特 願 昭62-78589

⑰ 出 願 昭62(1987)3月31日

⑱ 発 明 者 池 森 公 雄 東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

## 明 細 書

## 1. 発明の名称

マルチプロセッサシステムの  
メモリアクセス方式

## 2. 特許請求の範囲

複数のプロセッサと共有メモリとを有し、この共有メモリの非アクセス中は先着主義で各プロセッサのアクセスを受け、かつ共有メモリのアクセス中に複数のプロセッサからアクセス要求が発生した場合はこれらのプロセッサを共有メモリのアクセスが終了するまで待機させ、アクセス終了後に予め定められたアクセス優先順位に従って順にアクセスさせるマルチプロセッサシステムのメモリアクセス方式において、前記各プロセッサ毎に前記共有メモリに対するアクセス待機時間を計時する待機時間計時手段と、この待機時間計時手段により計時されたアクセス待機時間が基準時間を越えたか否かを判定する待機時間判定手段と、この待機時間判定手段によりアクセス待機時間が基準時間を越えたと判定された場合に対応するプ

ロセッサのアクセス優先順位を高い方向へ変更する優先順位変更手段とを具備したことを特徴とするマルチプロセッサシステムのメモリアクセス方式。

## 3. 発明の詳細な説明

## 〔発明の目的〕

## (産業上の利用分野)

本発明は、複数のプロセッサとこれらのプロセッサにより共通にアクセスされる共有メモリとを備えたマルチプロセッサシステムに適用されるメモリアクセス方式の改良に関する。

## (従来の技術)

第10図は従来のメモリアクセス方式を適用したシステムの構成を示すもので、このシステムは互いに独立動作する複数のプロセッサ(CPU) 1a, 1b, …… 1nと、共有メモリ2と、上記プロセッサ毎に設けられたアクセス調停回路(アービタ) 3a, 3b, …… 3nおよびバス接続用のバッファゲート4a, 4b, …… 4nと、上記各アービタ3a, 3b, …… 3nの指示により動

作するセレクトラとを有している。

このような構成において、先ず共有メモリ2の非アクセス中には先着主義により共有メモリ2のアクセスが行なわれる。例えばCPU1aがアクセス要求ARを発生すると、アービタ3aは後述するディジチエーン制御により他のアービタ3b～3nが共有メモリ2を非アクセス中であることを確認したのち、セレクトラ5にアクセス要求信号AR5aを出力するとともにバッファゲート4aにバッファ制御信号BSを出力する。そうすると、セレクトラ5はCPU1a側に切換わってCPU1aから発生されたリード信号RSまたはライト信号WSを共有メモリ2に供給し、またバッファゲート4aはゲート開状態となってCPU1aのアドレスバスABおよびデータバスDBを共有メモリ2のアドレスバスABおよびデータバスDBに接続させる。しかして、共有メモリ2はCPU1aによるアクセス状態となる。またこのアクセス期間中にアービタ3aは、他のアービタ3b～3nに対しアクセス禁止設定を行なう。この禁止設

AR5bを出力するとともにバッファゲート4bをゲート開状態とする。この結果、共有メモリ2はCPU1bによりアクセスされた状態になる。さらに、このCPU1bによるアクセスが終了しアービタ3bによるアクセス禁止設定が解除されると、アービタ3cはCPU1cに対するアクセス待機状態を解除して、以後同様に共有メモリ2に対するアクセス制御を行なう。尚、各CPU1a, 1b, ..., 1nが共有メモリ2をアクセスする時間は1マシンサイクルであり、数クロック長である。

このように共有メモリ2に対する各CPU1a, 1b, ..., 1nのアクセスは、共有メモリ2の非アクセス状態では先着主義により行なわれ、またアクセス中に複数のCPUからアクセス要求ARが発生した場合はアクセス衝突を防ぐために時分割でしかもディジチエーン制御により自動的に設定されたアクセス優先順位に従って順に行なわれる。ところが、このような従来のメモリアクセス方式は、共有メモリ2に対する各CPU1a,

定は、通常アクセスの優先順位をハードウェアにより固定的に設定したディジチエーン制御方式により行なう。

一方、この共有メモリ2のアクセス期間中に例えばCPU1bおよびCPU1c（図示せず）がそれぞれアクセス要求ARを発生したとすると、対応する各アービタ3b, 3cはディジチエーン制御によりアクセス禁止設定を受けていることを確認してCPU1b, 1cに対しそれぞれウェイト信号WTを出力し、これによりCPU1b, 1cをアクセス待機状態に設定する。そして、CPU1aによる共有メモリ2のアクセスが終了しアービタ3aからのアクセス禁止設定が解除されると、ディジチエーン制御により設定されたアクセス優先順位に従ってアクセス制御を行なう。例えば、いまアクセス優先順位がCPU1a > CPU1b > CPU1c > ... > CPU1nのように設定されていたとすると、先ずアービタ3bが動作して対応するCPU1bに対するアクセス待機状態を解除し、セレクトラ5へアクセス要求信号

1b, ..., 1nのアクセス優先順位を固定的に設定しているため、仮に各CPU1a, 1b, ..., 1nによるアクセス頻度が等しいとすると、アクセス優先順位が低いものは高いものに比べて待機状態になる時間が長くなり、この結果CPU間で実行効率の不均衡が発生しシステムを効率良く動作させる上で非常に好ましくなかった。

（発明が解決しようとする問題点）

以上のように従来のメモリアクセス方式は、CPUのアクセス優先順位が固定化されているためにCPU間で実行効率の不均衡が発生してシステムの動作効率の低下を招くという問題点を有するもので、本発明はこの点に着目し、各プロセッサのアクセス待機時間を均一化するようにしてプロセッサ間の実行効率の不均衡を低減し、これによりシステムの動作効率の向上を図り得るマルチプロセッサシステムのメモリアクセス方式を提供しようとするものである。

〔発明の構成〕

（問題点を解決するための手段）

本発明は、第1図に示す如く複数の各プロセッサ毎に共有メモリに対するアクセス待機時間を計時する待機時間計時手段Aと、この待機時間計時手段Aにより計時されたアクセス待機時間が基準時間を超えたか否かを判定する待機時間判定手段Bと、優先順位変更手段Cとを設け、この優先順位変更手段Cにより、上記待機時間判定手段Bでアクセス待機時間が基準時間を超えたと判定された場合に対応するプロセッサのアクセス優先順位を高い方向へ変更するようにしたものである。

#### (作用)

この結果、当初アクセス優先順位が低かったプロセッサでも待機時間が基準時間を超えたときに優先順位が高い方向へ変更されるので、以後比較的短い待機時間で共有メモリをアクセスできるようになり、これにより全プロセッサの待機時間が均一化されてプロセッサ間の実行効率の不平衡は低減される。

#### (実施例)

第2図は本発明の一実施例におけるメモリア

このアクセス要求信号ARS1をフリップフロップ34に供給してこのフリップフロップ34から待機信号WT1を発生している。また、上記フリップフロップ34の出力状態はフリップフロップ37によりクリアされる。このフリップフロップ37は、オアゲート35を通過したアクセス要求信号ARS1または後述する待機解除制御回路100から発生される解除信号KS1によりセットされ、かつオアゲート36を通過した他の各CPU1b~1dから発生されるアクセス要求信号ARS2~ARS4によりリセットされる。

待機時間判定回路60aは、第4図に示す如くCPU1aからデータバスDBを介して供給された待機時間の基準値をアンドゲート62から出力される信号のタイミングに同期してラッチ回路63でラッチし、かつ上記アービタ30aから待機信号WT1が出力されている間にアンドゲート66を通過した分周器65の出力クロックをカウンタ67で計数する。そして、このカウンタ67の計数値を上記ラッチ回路63でラッチされてい

クセス方式を適用したマルチプロセッサシステムの構成を示すもので、前記第10図と同一部分には同一符号を付して詳しい説明は省略する。尚、本実施例では4個のCPUを用いたシステムを例にとって説明する。

このシステムは、各CPU1a~1d毎にアービタ30a~30dおよび待機時間判定回路60a~60dを備え、かつ各CPUのアクセス優先順位を定める優先順位決定回路80および上記各アービタ30a~30dの待機状態を解除する待機解除制御回路100を備えている。

このうち先ずアービタ30a~30dは、アービタ30aを例にとると第3図に示す如く、CPU1aから出力されるリード信号RSおよびライト信号WSをオアゲート31を介してアンドゲート32に導入するとともに、このアンドゲート32にCPU1aから出力されるアクセス要求ARおよびアドレスバスABに出力されているアドレスをデコーダ33でデコードした信号をそれぞれ導入してアクセス要求信号ARS1を生成し、

る待機時間の基準値と比較器64で比較し、計数値が基準値よりも大きくなったときに比較器64から出力される信号をフリップフロップ68を介して待機時間超過信号HS1として出力する。尚、シフトレジスタ69、アンドゲート70およびオアゲート71からなる回路は上記カウンタ67の計数値が基準値を超えたときにカウンタ67の計数値をクリアするためのカウンタクリア回路であり、またシフトレジスタ73、オアゲート72およびアンドゲート74からなる回路は他の待機時間判定回路60b~60dから待機時間超過信号HS2~HS4が発生された時点で上記フリップフロップ68による待機時間超過信号HS1の出力をクリアする信号クリア回路である。

優先順位決定回路80は、第5図に示す如くデジタルマルチプレクサ81と、このデジタルマルチプレクサ81の出力信号PR1~PR4をラッチするラッチ回路82と、このラッチ回路82のラッチ出力をエンコードするブライオリティエンコーダ83と、上記ラッチ回路82でラッチされ

ている信号をリセットするラッチリセット回路84と、第6図に示すアクセス信号発生回路85とから構成される。

このうちデジタルマルチプレクサ81は、各アービタ30a~30dから発生されるアクセス要求信号ARS1~ARS4を上記待機時間判定回路60a~60dから発生される待機時間超過信号HS1~HS4に従って優先順位の高い順に並べ変えるもので、上記待機時間超過信号HS1~HS4の出力状態に応じた情報ESa~EScを発生するプライオリティエンコーダ86と、このプライオリティエンコーダ86から発生される待機時間超過情報ESa~EScに従ってアクセス要求信号ARS1~ARS4を選択してPR1~PR4として出力する4個のセレクト871~874とから構成される。またラッチリセット回路84は、各アクセス要求信号ARS1~ARS4を一時ラッチする4個のフリップフロップ881~884と、これらのフリップフロップ881~884のラッチ出力を通過させるオアゲ

ート91と、このオアゲート91を通過した信号を後述する待機解除制御回路100から出力されるアクセス終了信号JS1に同期してリセット信号として出力させるアンドゲート92とから構成される。さらにアクセス信号発生回路85は、上記プライオリティエンコーダ83から出力されるアクセス順位情報Pa~Pcに応じてセレクト50のセレクト信号ARS1'~ARS4'を発生するもので、上記アクセス順位情報をデコードするデコーダ89と、上記待機時間超過情報ESa~EScに従ってアクセス優先順位が1位のCPUに対応するアクセス要求信号ARS1'~ARS4'を出力する4個のセレクト901~904とから構成される。

尚、第1表、第2表および第3表はそれぞれ上記プライオリティエンコーダ83、86、各セレクト871~874、901~904およびデコーダ89の真理値表である。

入 力				出 力			
1	2	3	4	D	C	B	A
X	X	X	L	H	L	H	H
X	X	L	H	H	H	L	L
X	L	H	H	H	H	L	H
L	H	H	H	H	H	H	L

第1表

入 力			出力
C	B	A	Z
L	H	H	X <sub>3</sub>
H	L	L	X <sub>4</sub>
H	L	H	X <sub>5</sub>
H	H	L	X <sub>6</sub>

第2表

入 力			出力
C	B	A	
L	H	H	Y <sub>3</sub> - L
H	L	L	Y <sub>4</sub> - L
H	L	H	Y <sub>5</sub> - L
H	H	L	Y <sub>6</sub> - L

第3表

一方待機解除制御回路100は、各CPU1a~1d毎に設けられたアクセス終了信号発生回路101と、これらの回路101から出力されたアクセス終了信号JS1~JS4および解除信号LS1~LS4をそれぞれ通過させるオアゲート102と、前記優先順位決定回路80のプライオリティエンコーダ86から出力された待機時間超過情報ESa~EScを入力しデコードするデコーダ103と、解除信号発生回路104と、この解除信号発生回路104の各フリップフロップ106~109をクリアするクリア回路105とから構成される。このうち解除信号発生回路104は、4個のフリップフロップ106~109を有し、上記デコーダ103から出力される待機時間超過情報ESa~EScおよび前記アービタ30a~30dから出力される待機信号WT1~WT4の発生状態に従って、待機中のCPUの待機状態を解除するための解除信号LS1~LS4、KS1~KS4を発生するものである。

また、セレクト50は各CPU1a～CPU1dから発生されるリード信号RSおよびライト信号WSを一時的に共有メモリ2に供給するもので、第7図に示す如く上記優先順位決定回路80から出力される選択制御信号ARS1'～ARS4'に従って動作する4つの双方向ゲート回路により構成される。

次に、以上のように構成された装置の動作を説明する。尚、ここでは第9図に示す如くCPU1aが共有メモリ2をアクセスしている間にCPU1bおよびCPU1cがそれぞれアクセス要求ARを発した場合を例にとって説明する。

この状態ではアービタ30b、30cはCPU1a、1bに対し待機信号WT2、WT3を出力しており、これによりCPU1a、1bはそれぞれ待機状態になっている。また、このとき待機時間判定回路60b、60cはそれぞれCPU1b、1cの待機時間を計時するとともに、この計時時間が基準値を超えたか否かを監視している。尚、このとき優先順位決定回路80で設定されている

83を経てアクセス信号発生回路85に供給される。そして、このアクセス信号発生回路85のセレクト903から“L”レベルのアクセス要求信号ARS3'が出力され、この結果セレクト50の対応する双方向ゲートが導通してCPU1cのリード信号RSまたはライト信号WSが共有メモリ2に供給される。また、同時に待機解除制御回路100から待機解除信号KS3が発生されてアービタ30cのフリップフロップ34がクリアされ、これにより待機信号WT3がオフとなってCPU1cは待機状態を解除されアクセス動作を開始し、またバッファゲート4cがゲート開成状態になる。しかして以後共有メモリ2は第9図に示すようにCPU1cによりアクセスされる。

以後同様に、待機中の各CPUは待機時間判定回路60a～60dによりそれぞれその待機時間の累積値が計数され、この計数値が基準値を超える毎に優先順位決定回路により共有メモリ2に対するアクセス優先順位が変更される。そして、アクセス中のCPUのアクセスが終了した時点で上

アクセス優先順位は、CPU1a>CPU1b>CPU1c>CPU1dであるとする。

さて、この状態でCPU1cの累積待機時間が基準値を超え、これにより待機時間判定回路60cから第9図のように待機時間超過信号HS3が発生されたとすると、優先順位決定回路80のデジタルマルチプレクサ81の出力PR1、PR2、PR3、PR4がそれぞれARS3、ARS4、ARS1、ARS2に変化する。ここで、上記PR1～PR4はPR1が最も優先順位が高くPR4が最も優先順位が低くなるように設定されている。このため、上記デジタルマルチプレクサ81によりアクセス要求信号ARS3が優先順位第1位に変更されたことになる。そして、この優先順位が変更された各アクセス要求信号ARS3～ARS2は、CPU1aによる共有メモリ2のアクセスが終了して待機解除回路100のアクセス終了信号発生回路101からアクセス終了信号JS1が発生された時点でラッチ回路82でラッチされ、プライオリティエンコーダ

記優先順位決定回路80で設定された優先順位第1位のCPUが選択され、共有メモリ2をアクセス可能となる。

このように本実施例であれば、各CPU1a～1d毎に待機時間を計時し、この計時時間が基準時間を越えた場合にそのCPUのアクセス優先順位を上位に変更して共有メモリ2をアクセスさせるようにしたので、CPU1a～1d間の待機時間が均一化されてこの結果システムの作業効率を高めることができる。

尚、本発明は上記実施例に限定されるものではなく、例えばCPUの数や待機時間計時手段、待機時間判定手段および優先順位変更手段の構成等についても、本発明の要旨を逸脱しない範囲で種々変形して実施できる。

#### 【発明の効果】

以上詳述したように本発明によれば、複数の各プロセッサ毎に共有メモリに対するアクセス待機時間を計時する待機時間計時手段と、この待機時間計時手段により計時されたアクセス待機時間

が基準時間を超えたか否かを判定する待機時間判定手段と、優先順位変更手段とを設け、この優先順位変更手段により、上記待機時間判定手段でアクセス待機時間が基準時間を超えたと判定された場合に対応するプロセッサのアクセス優先順位を高い方向へ変更するようにしたことによって、各プロセッサのアクセス待機時間を均一化することができ、これによりプロセッサ間の実行効率の不均衡を低減してシステムの動作効率の向上を図り得るマルチプロセッサシステムのメモリアクセス方式を提供することができる。

#### 4. 図面の簡単な説明

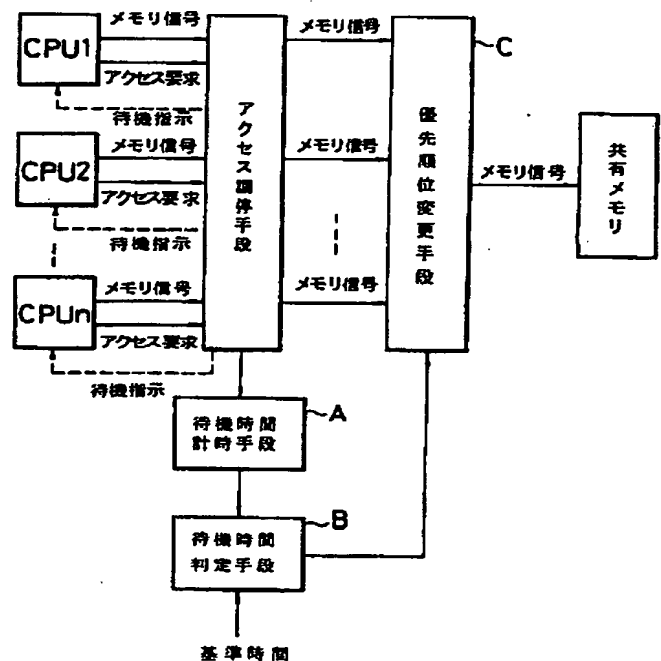
第1図は本発明のメモリアクセス方式の構成を示す機能ブロック図、第2図乃至第9図はそれぞれ本発明の一実施例におけるメモリアクセス方式を説明するためのもので、第2図は同方式を適用したマルチプロセッサシステムの回路ブロック図、第3図はアービタの回路構成図、第4図は待機時間判定回路の回路構成図、第5図および第6図はそれぞれ優先順位決定回路の回路構成図、第

7図はセレクトの回路構成図、第8図は待機解除制御回路の回路構成図、第9図は動作説明に使用するタイミング図、第10図は従来のメモリアクセス方式を適用したマルチプロセッサシステムの構成を示す回路ブロック図である。

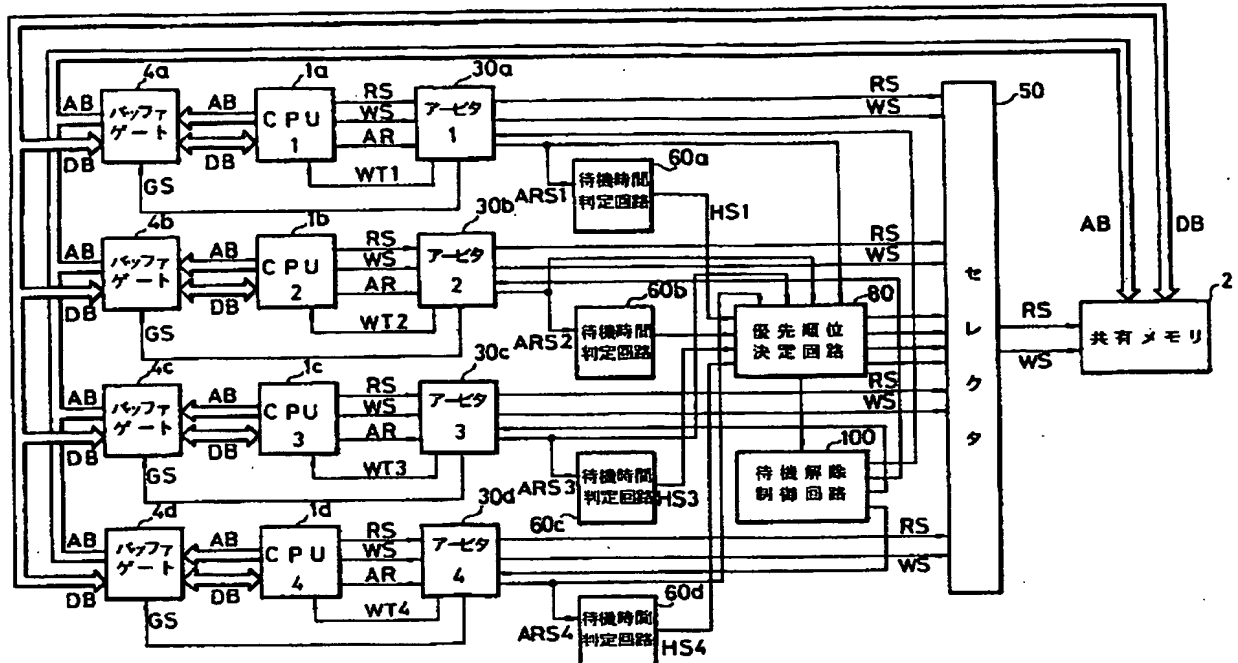
A…待機時間計時手段、B…待機時間判定手段、C…優先順位変更手段、1a～1d…CPU、2…共有メモリ、4a～4d…バッファゲート、30a～30d…アービタ、50…セレクト、60a～60d…待機時間判定回路、64…待機時間判定用の比較器、67…待機時間計時用のカウンタ、80…優先順位決定回路、81…デジタルマルチプレクサ、82…ラッチ回路、83、86…プライオリティエンコーダ、84…ラッチリセット回路、85…アクセス信号発生回路、100…待機解除制御回路、101…アクセス終了信号発生回路、102…オアゲート回路、103…デコード、104…解除信号発生回路、AB…アドレスバス、DB…データバス、RS…リード信号、WS…ライト信号、AR…アクセス

要求、WT1～WT4…待機信号、ARS1～ARS4…アクセス要求信号、ARS1'～ARS4'…優先順位変更後のアクセス要求信号、HS1～HS4…待機時間超過信号、JS1～JS4…アクセス終了信号、KS1～KS4…待機解除信号。

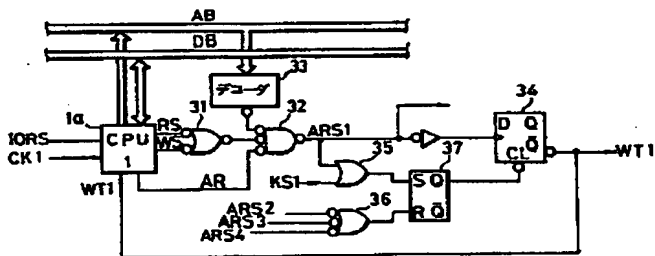
出願人代理人 弁理士 鈴江武彦



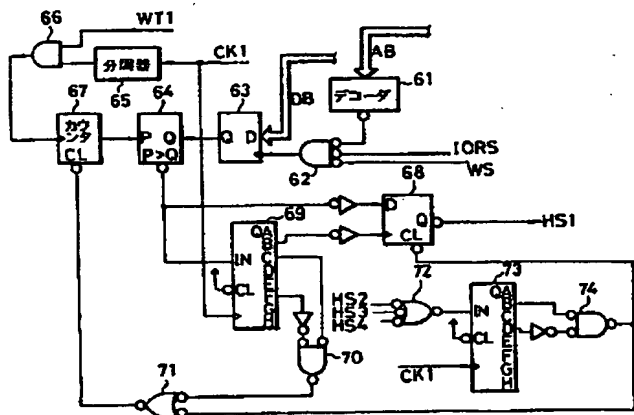
第1図



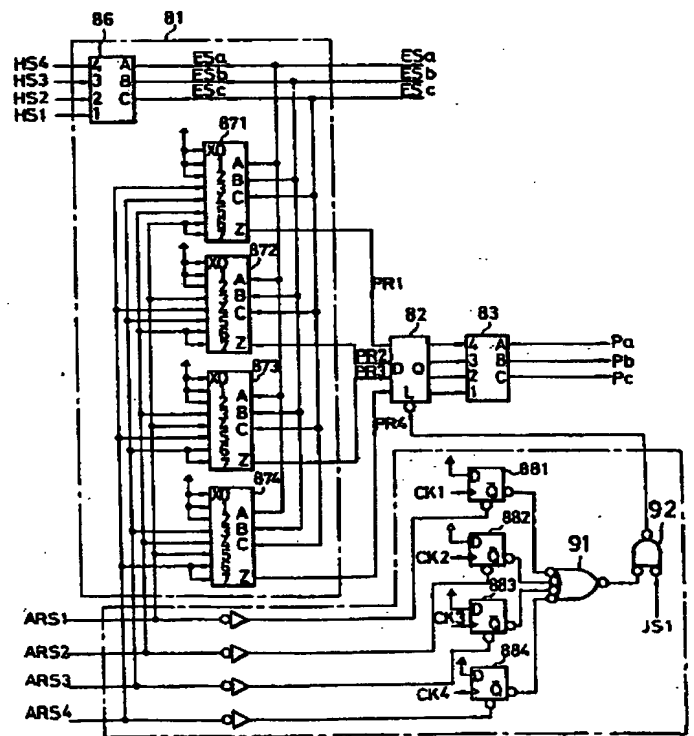
第 2 図



第 3 図

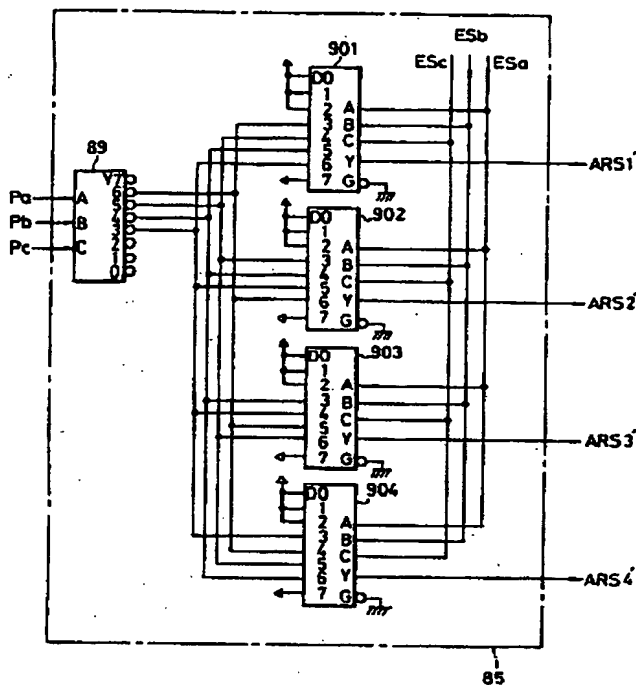


第 4 図

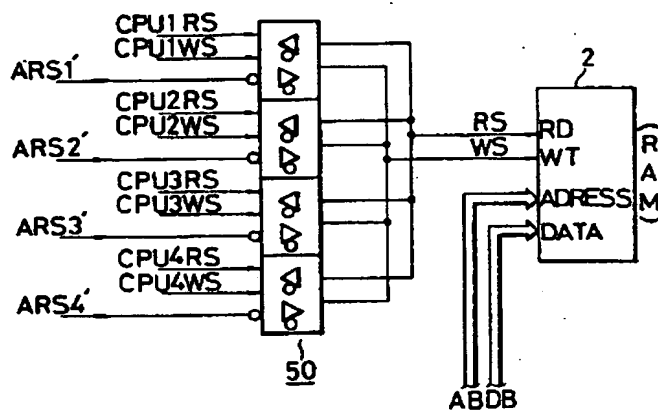


第 5 図

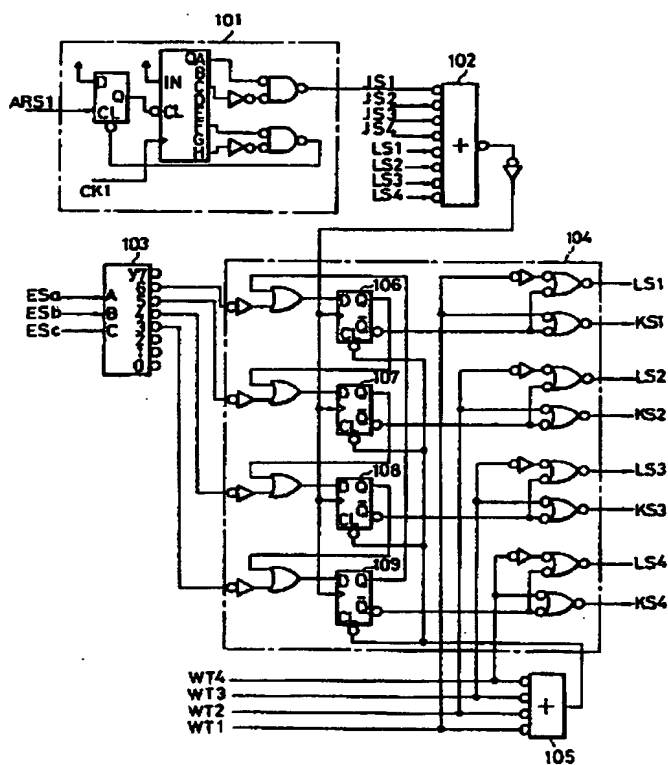




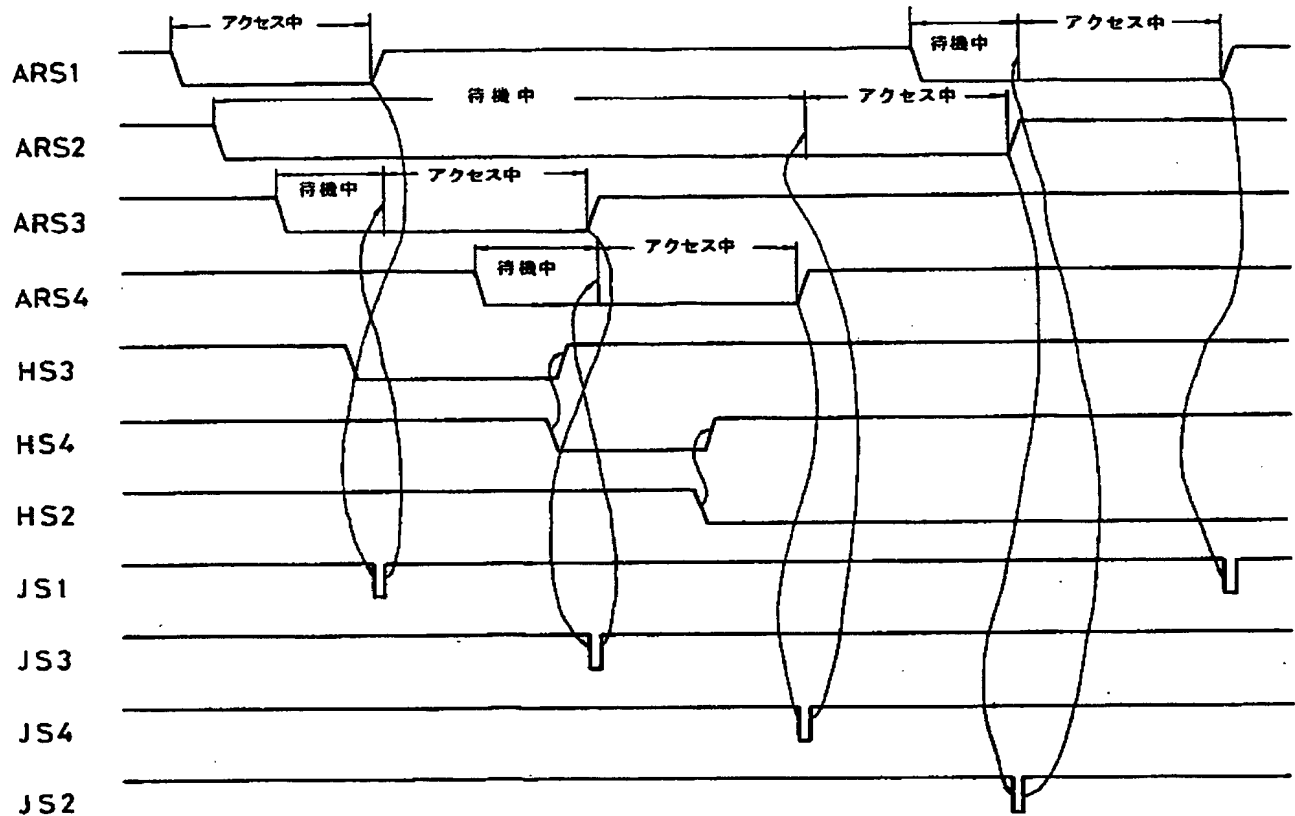
第 6 図



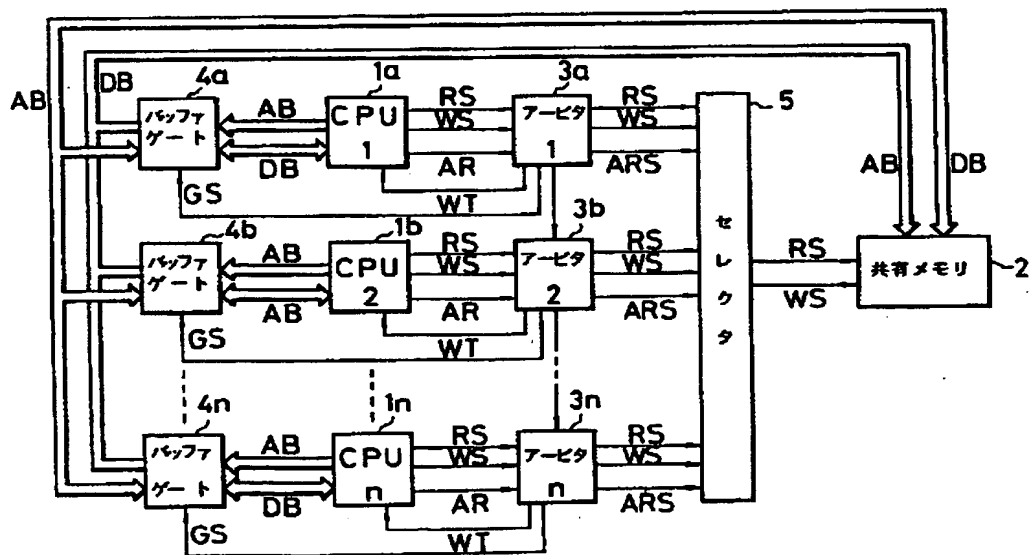
第 7 図



第 8 図



第 9 図



第 10 図